

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000188369 A**

(43) Date of publication of application: **04.07.00**

(51) Int. Cl

H01L 25/065

H01L 25/07

H01L 25/18

(21) Application number: **10364155**

(22) Date of filing: **22.12.98**

(71) Applicant: **SHARP CORP**

(72) Inventor: **JUSO HIROYUKI
SODA YOSHIKI
MARUYAMA TOMOYO**

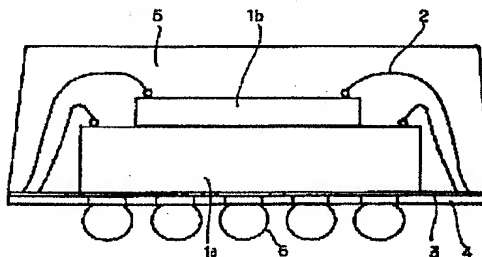
(54) **SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent cracking at junctions attributable to warpages which a semiconductor device undergoes when a temperature change occurs due to a bimetallic phenomenon between semiconductor chips and a molding resin, by making a semiconductor chip having a larger area thicker than a semiconductor chip having a smaller area.

SOLUTION: An interconnection layer 3 is formed on a surface of an insulating substrate 4 which has area array-shaped external connection terminals 6 on a surface thereof opposite to the layer 3. Semiconductor chips 1a and 1b are mounted on the layer 3. The chips 1a and 1b are connected to the layer 3 by wire bonding. Thereafter, the chips 1a and 1b and wires 2 are sealed using a sealing resin 5 by means of a transfer mold method, and solder balls are connected to through-holes as the terminals 6. The circuit forming surface area of the chip 1a is made larger and thicker than that of the chip 1b.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-188369

(P2000-188369A)

(43) 公開日 平成12年7月4日(2000.7.4)

(51) Int.Cl.⁷

識別記号

F I

データベース(参考)

H 0 1 L 25/065

H 0 1 L 25/08

B

25/07

25/18

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号

特願平10-364155

(22) 出願日

平成10年12月22日(1998.12.22)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 十楚 博行

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 曾田 義樹

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 丸山 朋代

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100103296

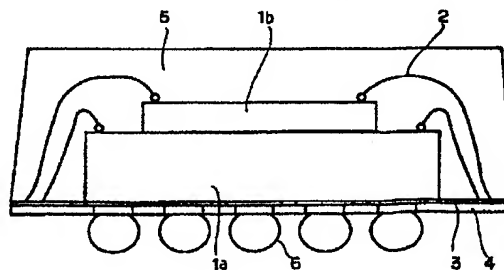
弁理士 小池 隆彌

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 従来、半導体チップの片側をモールド樹脂で封止した構造をもつため、半導体チップとモールド樹脂との間のバイメタル現象により、温度変化した場合、半導体装置に反りが発生する。この反りにより、半導体装置とプリント基板との間の接続部分に応力が発生し、接続部にクラックが発生する。

【解決手段】 絶縁性基板4上に搭載された複数の半導体チップ1a、1bのうち、面積の大きい半導体チップ1aの厚さが、面積の小さい半導体チップ1bの厚さよりも厚い。



【特許請求の範囲】

【請求項1】 半導体チップ搭載面側に配線層が形成され、上記半導体チップ搭載面と反対面側に実装用外部端子が形成された絶縁性基板上に、上記配線層と電気的に接続された複数の半導体チップが積層されてなる半導体装置において、

上記半導体チップは、面積の大きい半導体チップの方が面積の小さい半導体チップに比べて厚さが厚いことを特徴とする半導体装置。

【請求項2】 上記絶縁性基板上に形成された配線層が上記半導体チップ搭載面と反対側にも形成されていることを特徴とする、請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、高密度実装に適した半導体チップを積層した樹脂封止型半導体装置に関するものである。

【0002】

【従来の技術】携帯機器等にメモリ等の付加価値や容量の増大のために1つのパッケージ内に複数の半導体チップを搭載したパッケージがある。例えば、複数の半導体チップを横に配列し搭載したマルチチップモジュールがあるが、半導体チップを横に並べて配列するために、搭載する半導体チップの総面積よりも小さいパッケージの作製は不可能である。

【0003】一方、複数の半導体チップを積層させ搭載することにより、実装密度を高めている構造のパッケージ（以下、「スタックドパッケージ」という。）がある。

【0004】このスタックドパッケージのうち、電気絶縁基板上に半導体チップを搭載し、その裏面にマトリクス状に外部接続用の端子を備え、ほぼチップサイズの構造のもの（以下、「CSP」という。）がある。

【0005】図5にCSP構造の半導体装置の断面図を示す。図5に示す半導体装置は、積層された各々の半導体チップの面積が異なる場合、パッケージの外形サイズは、最大面積を有する半導体チップに依存する。従来の半導体装置では積層された半導体チップの厚さについては何ら考慮されていないか、又はそれぞれが等しいため、CSP構造で半導体装置内にただ1つの半導体チップを有する図6に示す構造と比較すると、スタックドパッケージでは回路形成面の面積の小さいチップがあるために、半導体装置内でモールド樹脂に比べて半導体チップが占める体積が小さくなる。

【0006】

【発明が解決しようとする課題】上述の半導体装置は、小型で、実装用外部端子がエリアアレイ構造をもつ。このような構造をもつ半導体装置はプリント基板上に、リフロー実装され使用される。実装用外部端子がはんだボールを有するBGA（Ball Grid Arra

y）構造のものや、台形状でハンダペーストだけで接続を行うLGA（Land Grid Array）構造のもの等がある。

【0007】リフロー実装後にヒートサイクル等により半導体装置とプリント基板に温度変化が発生すると、半導体装置の反り、半導体装置とプリント基板との線膨張係数の違い等により、半導体装置とプリント基板との接続部に応力が発生する。

【0008】上述の半導体装置は、半導体チップの片側をモールド樹脂で封止した構造をもつため、半導体チップとモールド樹脂との間のバイメタル現象により、温度変化した場合、図7に示すように半導体装置に反りが発生する。この反りにより、半導体装置とプリント基板との間の接続部分に応力が発生し、接続部にクラックが発生し、更には破断に至る場合がある。

【0009】

【課題を解決するための手段】請求項1に記載の本発明の半導体装置は、半導体チップ搭載面側に配線層が形成され、上記半導体チップ搭載面と反対面側に実装用外部端子が形成された絶縁性基板上に、上記配線層と電気的に接続された複数の半導体チップが積層されてなる半導体装置において、上記半導体チップは、面積の大きい半導体チップの方が面積の小さい半導体チップに比べて厚さが厚いことを特徴とするものである。

【0010】また、請求項2に記載の本発明の半導体装置は、上記絶縁性基板上に形成された配線層が上記半導体チップ搭載面と反対側にも形成されていることを特徴とする、請求項1に記載の半導体装置である。

【0011】

【発明の実施の形態】以下、一実施の形態に基づいて、本発明を詳細に説明する。

【0012】図1の本発明の第1の実施の形態の半導体装置の断面図を示す。絶縁性基板4の半導体チップ搭載面に配線層3が形成され、その反対面側にはエリアアレイ状に配列された外部接続端子6をもつ絶縁性基板4上に、半導体チップ1a、1bを搭載し、ワイヤーボンドにより配線基板と半導体チップ1a、1bとの間の電気的接続を確保し、その後、トランスファーモールド法により、半導体チップ1a、1b及びワイヤー2を封止樹脂5により封止し、貫通穴部分に外部接続端子6として、ハンダボールが接続されている。半導体チップ1aは半導体チップ1bに比べて回路形成面の面積が大きく、且つ、厚い。

【0013】本発明は、絶縁性基板4上に搭載された複数の半導体チップ1a、1bのうち、面積の大きい半導体チップ1aの厚さが、面積の小さい半導体チップ1bの厚さよりも厚いことを特徴とするものである。半導体チップの厚さは、ダイシング前のウエハ状態での機械研磨法、ケミカルエッチング法等によって変更する。

【0014】本実施の形態において、封止樹脂の厚さを

800 μ m、半導体チップ1aの厚さを300 μ m、半導体チップ1bの厚さを100 μ mとした場合と半導体チップ1a、1bの厚さをともに200 μ mとした場合、それぞれについてリフロー実装後の温度サイクル試験で半導体装置とプリント基板との間の接合部に生じる応力のシミュレーションを図7を用いて実施した。シミュレーションは一次元で、パッケージ長は11.00mm、半導体チップ1aを9.00mm、半導体チップ1bを4.82mm、ハンダボールを0.8mmピッチで12個配置し、135 $^{\circ}$ Cの温度差を与えた。このとき、半導体装置とプリント基板との間の応力集中部に発生する応力は図9に示すように半導体チップ1a、1bの厚さの比を3:1にした場合、リフロー実装後の温度サイクル試験時に半導体装置とプリント基板との間に発生する応力が、半導体チップ1a、1bの厚さの比を1:1にした場合に比べて約92%に減少することがシミュレーションによって確認され、半導体装置をプリント基板にリフロー実装した後の信頼性に効果があることが確認された。

【0015】図2に半導体チップ1a、1b、1cを3段に積層した第2の実施の形態について説明する。

【0016】半導体チップを3段以上に積層した場合でも、回路形成面の面積の大きい半導体チップの厚さを厚くすることで図1に示した場合と同様の効果が得られる。

【0017】図3に半導体チップを3段に積層し、最下層の半導体チップ1dと絶縁性基板4の配線層との接続をフリップチップ方式で接続した実施の形態の断面図である。

【0018】本実施の形態において、半導体チップ1aが半導体チップ1b、1dより回路形成面の面積が大きいので、厚くしている。このように、面積の大きい半導体チップが最下層にない場合でも、面積が最大の半導体チップを厚くすることで同じ効果が得られる。

【0019】図4に本発明の他の実施の形態としての、配線基板として絶縁性基板の両面に配線層がある両面配線板を用い、半導体チップ1aをフリップチップ接続したLGA構造の半導体装置の断面図である。両面配線板は表裏の配線がスルーホールで接続されている。図8は絶縁性基板の配線層が多層の場合の半導体装置の断面図を示している。いずれも回路形成面の大きいチップを厚くしている。このようにすることにより、半導体装置内において、モールド樹脂に比べて半導体チップの占める体積を大きくすることにより、応力を小さくしている。

【0020】本発明において、絶縁性基板の材質、半導体チップと絶縁性基板との間の電気的接続方法、半導体チップとプリント基板とのダイボンド方式、外部接続端子の形状等は特に限定されない。絶縁性基板は耐熱性に優れた樹脂基板又はフィルムで材質は特に限定されない。例えば、ポリイミド、ガラスエポキシ、BT（ビス

マレイド・トリアジン）レジン、ポリエステル、ポリアミド、テフロン、セラミック、ガラスポリエステル等の樹脂基板が上げられる。配線層数も基材に外部接続端子を接続するための貫通穴を開けた1層配線板、スルーホールにより両面配線を接続した両面配線板や図8に示すように配線層が多層になっている多層基板等が挙げられる。半導体チップを絶縁性基板上の配線層に接続する方法も特に限定はない。1層目の半導体チップと絶縁性基板との接続は、フェイスダウンのフリップフロップ方式、フェイスアップのワイヤーボンド方式等が挙げられる。

【0021】また、2層目より上の半導体チップについては絶縁性基板へのワイヤーボンド、下層の半導体チップ上の再配線へのフリップチップ方式、ワイヤーボンド方式による接合などが挙げられる。外部接続端子の形状は、ハンダボールを使用したBGAタイプや多層絶縁性基板を用いたLGAタイプなどが挙げられる。

【0022】

【発明の効果】以上、詳細に説明したように、本発明を用いることにより、チップサイズパッケージにおいても、実装後の信頼性を従来より改善した半導体装置を提供することができる。

【0023】また、請求項2に記載の本発明を用いることにより、より配線のレイアウトの自由度が向上する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体装置の断面図である。

【図2】本発明の第2の実施の形態の半導体装置の断面図である。

【図3】本発明の第3の実施の形態の半導体装置の断面図である。

【図4】本発明の第4の実施の形態の半導体装置の断面図である。

【図5】第1の従来技術による半導体装置の断面図である。

【図6】第2の従来技術による半導体装置の断面図である。

【図7】半導体装置の反りの発生するメカニズムの説明に供する図である。

【図8】多層配線基板を用いた本発明の実施の形態の半導体装置の断面図である。

【図9】半導体チップの厚さの比と応力集中部に発生する応力の比との関係を示す図である。

【符号の説明】

1a、1b、1c、1d 半導体チップ

2 Auワイヤー

3 配線層

4 絶縁性基板

5 封止樹脂

6 外部接続端子

(4)

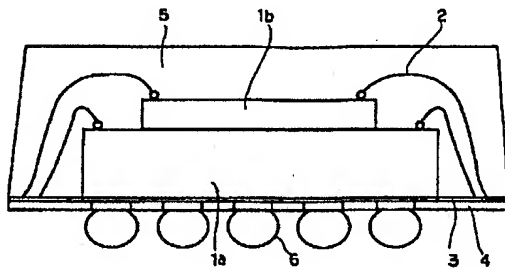
特開2000-188369

6

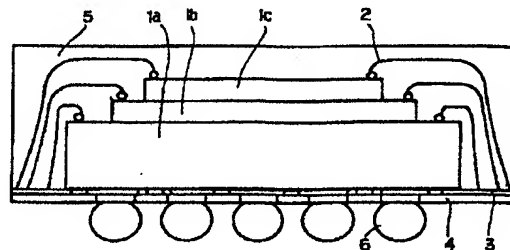
- 5
7 フリップチップ接続用端子
8 プリント基板

- 9 スルーホール
10 実装用ランド

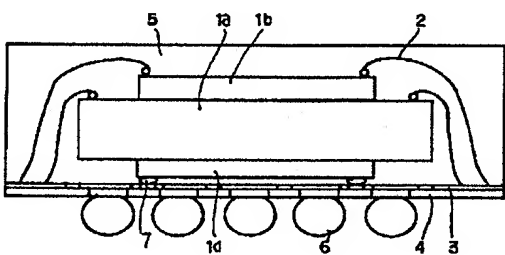
【図1】



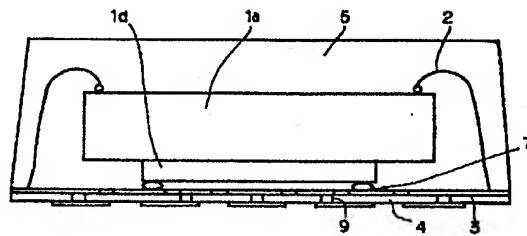
【図2】



【図3】

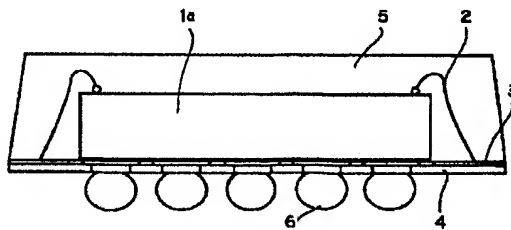
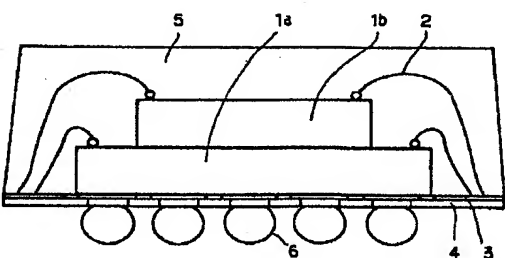


【図4】



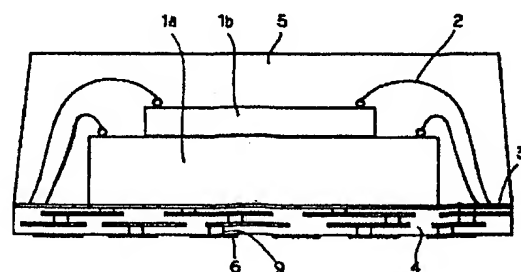
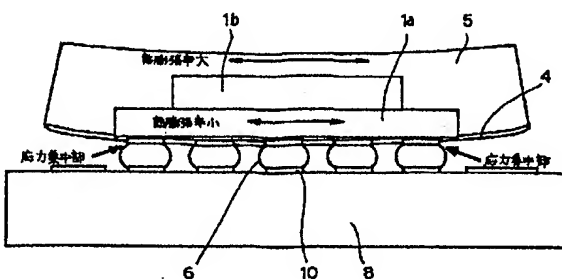
【図6】

【図5】



【図8】

【図7】



【図9】

